

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2001-195138
 (43) Date of publication of application : 19.07.2001

(51) Int.Cl. G05F 1/10
 H02M 3/155

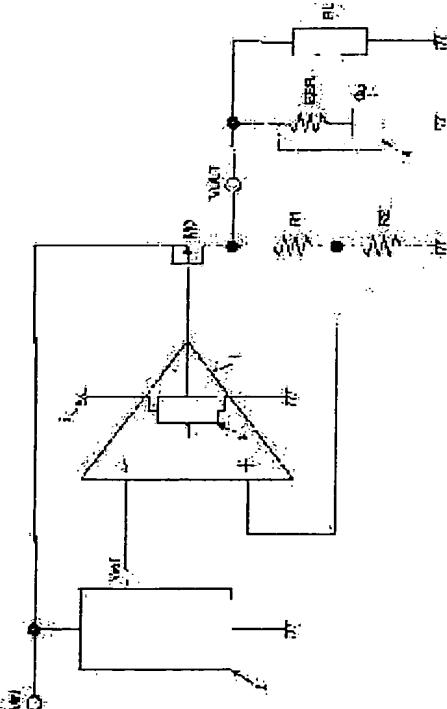
(21) Application number : 2000-006579 (71) Applicant : FUJI ELECTRIC CO LTD
 (22) Date of filing : 14.01.2000 (72) Inventor : MIZOE KIMIYOSHI
 HYOGO AKIRA
 NAKAZAWA HIDEKI
 SHIROICHI KOJI
 SEKINE KEITARO

(54) SERIES REGULATOR POWER SUPPLY CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To improve the removing ratio of ripples included in the power supply voltage of a series regulator power supply circuit to be used as a power supply for electronic equipment or the like.

SOLUTION: The MO of a PMOS FET is used as an output, and the intermediate voltage between resistors R1, R2 connected between the PMOS FET and ground is compared with a reference voltage applied from a reference voltage circuit 2 and the output stage 3 of an amplifier circuit 1 using input power supply VIN or an output as a power supply (terminal 5) is provided with a constant current source with a filter in order to control the MO by the circuit 1 and output required output voltage. Thus the removing ratio of ripples can be improved by allowing high frequency ripples included in the power supply (terminal 5) of the circuit 1 to pass the output.



BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-195138

(P2001-195138A)

(43)公開日 平成13年7月19日 (2001.7.19)

(51)Int.Cl.⁷

G 0 5 F 1/10
H 0 2 M 3/155

識別記号

3 0 4

F I

G 0 5 F 1/10
H 0 2 M 3/155

マーク(参考)

3 0 4 Z 5 H 4 1 0
E 5 H 7 3 0

審査請求 未請求 請求項の数6 O.L. (全7頁)

(21)出願番号

特願2000-6579(P2000-6579)

(22)出願日

平成12年1月14日 (2000.1.14)

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 三添 公義

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72)発明者 兵庫 明

千葉県野田市山崎2641 東京理科大学内

(72)発明者 中澤 秀樹

千葉県野田市山崎2641 東京理科大学内

(74)代理人 100075166

弁理士 山口 岩 (外2名)

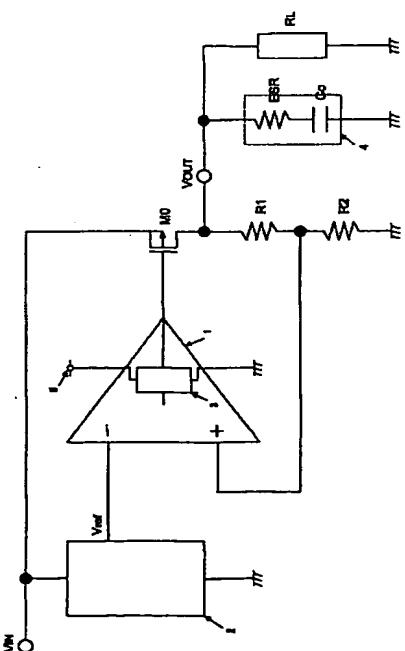
最終頁に続く

(54)【発明の名称】 シリーズレギュレータ電源回路

(57)【要約】

【課題】 電子機器等の電源として用いられるシリーズレギュレータ電源回路の電源電圧に含まれるリップルの除去率を向上させる。

【解決手段】 出力にPMOS-FETのM0を用い、これとグランドとの間に接続された抵抗R1, R2の中間電圧を、基準電圧回路2から与えられる基準電圧と比較し、入力電源VINまたは出力を電源(端子5)とするアンプ回路1にて上記M0を制御し所望の出力電圧を出力させるに当たり、上記アンプ回路1の出力段3をフィルタ付き定電流源を備えたものとすることにより、アンプ回路1の電源(端子5)に含まれる高周波リップルをその出力に通過させるようにし、リップル除去率を高める。



【特許請求の範囲】

【請求項1】 出力として用いられる出力PMOS-FETとグランドとの間に接続された2つの抵抗の中間電圧を基準電圧と比較する比較増幅部を有し、入力電源または出力をその電源とするアンプ回路からなり、前記出力PMOS-FETを制御することにより所望の出力電圧を得るシリーズレギュレータ電源回路において、前記アンプ回路の出力段を、フィルタを備えた定電流源と増幅用トランジスタとから構成し、前記フィルタを備えた定電流源により入力電源に含まれる高周波リップル成分をアンプ回路の出力に通過させることを特徴とするシリーズレギュレータ電源回路。

【請求項2】 前記定電流源の一方を前記電源に接続し、グランドに接続された前記増幅用トランジスタの定電流負荷として用いることを特徴とする請求項1に記載のシリーズレギュレータ電源回路。

【請求項3】 前記定電流源を、ドレインに基準電流源が接続される第1のPMOS-FETと、この第1PMOS-FETのドレインとゲートとの接続点に接続されるローパスフィルタと、このローパスフィルタの出力に接続される第2のPMOS-FETとから構成し、前記第1、第2の各PMOS-FETのソースを電源にそれぞれ接続したことを特徴とする請求項2に記載のシリーズレギュレータ電源回路。

【請求項4】 前記ローパスフィルタを抵抗とコンデンサとから構成することを特徴とする請求項3に記載のシリーズレギュレータ電源回路。

【請求項5】 前記ローパスフィルタを構成する抵抗をMOS-FETのMOS抵抗を含むアクティブ抵抗とすることを特徴とする請求項4に記載のシリーズレギュレータ電源回路。

【請求項6】 前記定電流源と並列に、基準電流源に比例した電流を流す定電流バイアス回路を接続し、その電流の総和を前記増幅用トランジスタのバイアス電流とすることを特徴とする請求項1ないし5のいずれかに記載のシリーズレギュレータ電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、シリーズレギュレータ電源回路、特に小型化、低電圧化された電子機器および半導体集積回路に電源を供給するシリーズレギュレータ電源回路に関する。

【0002】

【従来の技術】この種の回路として、出願人は図8に示すもの（特願平11-092677号：以下提案済み回路ともいう）を提案している。1はアンプ回路、2は基準電圧回路、4は出力コンデンサを示す。これは、出力電圧を抵抗R1、R2で分圧し、その電圧と基準電圧と

$$v_0 = v_{rip} / (1 + j(\omega / \omega_1))$$

【0006】上記(1)式からも分かるように、高い周

をM1～M15のMOS-FET（Metal Oxide Semiconductor Field Effect Transistor：M3、M4、M8、M9、M10はN-channel、それ以外はP-channel）から構成される演算増幅器で比較し、出力トランジスタ（PMOS-FET）M0を制御することにより所望の出力電圧を得るものである。この演算増幅器のM1～M8のMOS-FETにより差動段が、M9～M12のMOS-FETにより増幅段が、そしてM13～M15のMOS-FETによりバッファ出力段がそれぞれ構成されている。

【0003】上記差動段は、M5～M8の高出力抵抗のカレントミラー回路により、入力電源VINに含まれるリップルの影響を受けないため、差動段出力には電源からの直接的なリップル成分は発生しない。また、次段の増幅段は、カスコード増幅器とすることで、M9、M10の増幅部の出力抵抗よりも定電流負荷であるM11の出力抵抗の方が小さくなり、入力電源のリップル成分を増幅段の出力に畳み込むことができる。最後のバッファ出力段をソースフォロワ回路とすることにより、アンプ回路1の最大出力電圧を、入力電圧からM0のスレッショルド電圧である0.3V差し引いた値以上にすることを可能とし、増幅段からのリップル成分をゲイン1でそのまま出力して出力抵抗を低くするようしている。

【0004】バッファ出力段の出力抵抗、すなわち演算増幅器の出力抵抗を低くするのは、出力トランジスタM0のゲート容量で生じるポール（極点）の影響を小さくして、閉ループの安定性を確保するためである。演算増幅器の出力に電源のリップル成分を出力させることにより、出力トランジスタM0において、電源であるソースのリップル成分とゲートのリップル成分が同じとなり、ゲート・ソース間電圧はリップルの影響を受けなくなり常に一定となる。これにより、出力負荷電流にはリップル成分が発生せず、その結果、レギュレータ出力にもリップルは生じず、リップル除去率を上げることができる。

【0005】

【発明が解決しようとする課題】図8の提案済み回路では、電源に含まれる低い周波数のリップル成分を演算増幅器から同位相または逆位相で出力させ、出力トランジスタM0のゲート・ソース間電圧はそのリップルの影響を受けず略一定に保たれ、リップルのない一定の出力負荷電流が流れるため、シリーズレギュレータ出力にリップル成分が出ず、リップル除去率が向上する。ところで、演算増幅器の出力の交流成分 v_0 は、次の(1)式のように表わされる。なお、 ω_1 は増幅段の出力抵抗と内部の容量による角周波数、 v_{rip} は電源のリップル成分である。

$$\dots (1)$$

波数のリップル成分は演算増幅器を構成しているMOS

—FETの内部抵抗や補償用のコンデンサや寄生コンデンサで生じるフィルタ成分で減衰してしまい、リップル成分が演算増幅器から出力されないため、出力トランジスタM0のゲート・ソース間電圧はリップルの変動と追従し、その変動した電圧に比例した出力負荷電流が流れ

$$v_{gs0} = - (v_{rip} - v_0) \\ = - j (\omega / \omega_1) \cdot v_{rip}$$

このようなことは、演算増幅器などの通常のアンプ回路を用いても、リップルの大きさ（振幅）の違いはあるが周波数特性としては同様な現象が生じるという問題を有することになる。したがって、この発明の課題は、高い周波数域におけるリップル除去率を悪化させないようにすることにある。

【0007】

【課題を解決するための手段】上記課題の解決を図るために、請求項1の発明では、出力として用いられる出力PMOS-FETとグランドとの間に接続された2つの抵抗の中間電圧を基準電圧と比較する比較增幅部を有し、入力電源または出力をその電源とするアンプ回路からなり、前記出力PMOS-FETを制御することにより所望の出力電圧を得るシリーズレギュレータ電源回路において、前記アンプ回路の出力段を、フィルタを備えた定電流源と增幅用トランジスタとから構成し、前記フィルタを備えた定電流源により入力電源に含まれる高周波リップル成分をアンプ回路の出力に通過させることを特徴とする。この請求項1の発明においては、前記定電流源の一方を前記電源に接続し、グランドに接続された前記增幅用トランジスタの定電流負荷として用いることができる（請求項2の発明）。

【0008】上記請求項2の発明においては、前記定電流源を、ドレインに基準電流源が接続される第1のPMOS-FETと、この第1PMOS-FETのドレインとゲートとの接続点に接続されるローパスフィルタと、このローパスフィルタの出力に接続される第2のPMOS-FETとから構成し、前記第1、第2の各PMOS-FETのソースを電源にそれぞれ接続することができる（請求項3の発明）、この請求項3の発明においては、前記ローパスフィルタを抵抗とコンデンサとから構成することができ（請求項4の発明）、この請求項4の発明においては、前記ローパスフィルタを構成する抵抗をM

$$i_{o1} \propto v_{rip} / (1 + j (\omega / \omega_1)) \\ i_{o2} \propto v_{rip} \cdot j (\omega / \omega_2) / (1 + j (\omega / \omega_2))$$

… (3)

… (4)

【0011】電流*i_{o1}*, *i_{o2}*を合成したときに、周波数の依存性を持たないように、角周波数 ω_2 や出力段内部のトランジスタのパラメータを決定する。この段の定電流源で生じるリップル電圧は図2の一点破線12となり、これと点線11とを合成した実線13が出力段のリ

$$v_{gs} = - (v_{rip} - K \cdot v_0) = 0$$

となり、電源リップルの影響を受けない。なお、Kは一定の定数である。

るため、最終的にはシリーズレギュレータの出力に電源のリップル成分がすることになり、リップル除去率が悪化することになる。つまり、出力トランジスタM0のゲート・ソース間電圧の交流成分 v_{gs0} は、次の(2)式のように表わされる。

$$v_{gs0} = - (1 + j (\omega / \omega_1)) \cdot v_{rip} \quad \dots (2)$$

OS-FETのMOS抵抗を含むアクティブ抵抗とすることができる（請求項5の発明）。さらに、上記請求項1～5のいずれかの発明においては、前記定電流源と並列に、基準電流源に比例した電流を流す定電流バイアス回路を接続し、その電流の総和を前記増幅用トランジスタのバイアス電流とすることができます（請求項6の発明）。

【0009】

【発明の実施の形態】図1はこの発明の第1の実施の形態としての基本的な回路構成を示す。1はアンプ回路（演算増幅器）、2は基準電圧回路、3はフィルタ付き定電流源を持つ出力段、4は出力コンデンサ、5は入力電源VINまたはシリーズレギュレータ出力VOOUTが入力されるアンプ回路電源端子である。前述のように、演算増幅器などの一般的のアンプ回路では、電源のリップル成分 v_{rip} とアンプ回路の出力におけるリップル成分 v_0 との関係は、上記(1)式のようになる。したがって、角周波数 ω_1 より低い周波数では一定のリップル成分がアンプ回路より出力されるが、 ω_1 より高い周波数ではリップル成分が減衰して出力される。この様子を図2に示す。

【0010】ところで、図1では出力段の定電流源に、電源の高い周波数を通過させるためのフィルタ付きのバイアス回路3を用いることにより、高い周波数の電源リップルをアンプ回路の出力に畳み込むようにしている。このバイアス回路3を付加することにより、次の

(3), (4)式で示すような電流成分*i_{o1}*, *i_{o2}*が発生する。電流*i_{o1}*は出力段3のリップル電圧 v_{rip} に対する電流成分であり、電流*i_{o2}*はリップル電圧 v_{rip} に対するバイアス回路の電流成分である。また、バイアス回路のフィルタ特性である-3dB角周波数を、 ω_2 とする。

… (3)

… (4)

リップル出力、すなわち、アンプ回路のリップル出力となる。なお、点線11は従来のアンプ回路のリップル出力周波数特性を示す。以上より、出力PMOSトランジスタM0のゲート・ソース間電圧の交流成分 v_{gs} は、出力段のリップル成分を v_0 とすると、

… (5)

【0012】図3はこの発明の第2の実施の形態を示す回路図である。6は比較增幅段、7は定電流源、8は増

幅用トランジスタで、その他は図1と同様である。同図からも明らかなように、前段には差動増幅器などを含む比較増幅段6を有し、出力段には比較増幅段6の出力に接続される増幅用トランジスタ8の一方をグランドに接続し、フィルタを含む定電流源7の一方を電源5に、その他の方を増幅用トランジスタ8に接続することにより、高い周波数の電源リップルをアンプ回路1の出力に疊み込むものである。

$$i_{14} = g_{m14} \cdot v_{rip} \cdot j(\omega/\omega_2) / \{1 + j(\omega/\omega_2)\}$$

$$g_{m14} = \{2 \mu_0 C_{0X} (W/L)_{14} \cdot I_{14}\}^{1/2} \quad \dots (6)$$

なお、 μ_0 、 C_{0X} は半導体プロセスから決まるバラメータであり、W、LはPMOS-FETのチャンネル幅、チャンネル長を示す。また、 I_{14} はM14の直流バイアス電流である。

【0014】図5はこの発明の第4の実施の形態を示す回路図である。これは、定電流源7のローパスフィルタ

$$R_{10} \cdot C_{10} = 1/2 \cdot 1/\omega_1$$

$$g_{m13} = g_{m14}$$

【0015】図6はこの発明の第5の実施の形態を示す回路図である。これは、図5の抵抗 R_{10} をPMOS-FETであるM16のMOS抵抗で置き換えたもので、PMOS-FETのM17、M18はM16のバイアス回路となる。増幅段の角周波数 ω_1 が低い場合、 R_{10} 、 C_{10} の時定数を大きくしなければならず、集積回路に組み込むコンデンサの容量はおよそ数10pFと限られるため、抵抗 R_{10} を大きくしなければならない。抵抗の占める面積は抵抗値によって大きくなるため、MOS抵抗に置き換えることで、より小さい面積で

$$R_{10} \cdot C_{10} = 1/2 \cdot 1/\omega_1$$

$$(W/L)_{14} / (W/L)_{13} = (I_{14} + I_{19}) / I_{14}$$

【0017】

【発明の効果】この発明によれば、低い周波数から高い周波数までの電源リップルのリップル除去率を高めたシリーズレギュレータ電源回路を実現し、デジタルシステムや無線システムに使われる電池やスイッチング電源など、高い周波数のリップルを含んだ電圧源を入力源とするシステムにおける安定化電源として効果を発揮することができる。特に、高い周波数におけるリップル除去率を、出力段のフィルタ特性により変えることができるので、所望のリップル除去率の周波数特性を得るために設計が容易となる。また、図5から図7の例に示すように、出力段をすべてPMOS-FETで構成することにより、半導体プロセスのばらつきによる回路特性のばらつきを最小限にすることが可能となる利点が得られる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態を示す回路構成図である。

【図2】この発明の原理説明図である。

【図3】この発明の第2の実施の形態を示す回路図であ

【0013】図4はこの発明の第3の実施の形態を示す回路図である。これは、図3の定電流源7を具体化したもので、PMOS-FETであるM14、M15とローパスフィルタ9よりなる定電流負荷とする。ローパスフィルタ9の-3dB周波数を ω_2 とすると、M14の出力電流 I_{14} は次の(3)式のようになる。 g_{m14} はM14のトランジスタ(伝達)コンダクタンスである。

$$i_{14} = g_{m14} \cdot v_{rip} \cdot j(\omega/\omega_2) / \{1 + j(\omega/\omega_2)\}$$

$$\dots (6)$$

を抵抗 R_{10} とコンデンサ C_{10} で構成したもので、このフィルタの-3dB周波数 ω_2 は、 $\omega_2 = 1 / (R_{10} \cdot C_{10})$ となる。M13からM15のPMOS-FETと R_{10} 、 C_{10} からなる出力段の出力 v_0 を $v_0 = v_{rip}$ とするための条件は次のようにになる。

$$\dots (7)$$

$$\dots (8)$$

高い抵抗値を実現できるようにしている。

【0016】図7はこの発明の第6の実施の形態を示す回路図である。これは、図3～図6の出力段の定電流源7と並列に、PMOS-FETのM19、M20からなる定電流バイアス回路10を設けた構成となっている。このように構成されたアンプ回路の出力 v_0 が、 $v_0 = v_{rip}$ となるための条件は次のようになる。なお、 I_{14} 、 I_{19} はPMOS-FETのM14、M19のバイアス電流を示す。

$$\dots (7)$$

$$\dots (9)$$

る。

【図4】この発明の第3の実施の形態を示す回路図である。

【図5】この発明の第4の実施の形態を示す回路図である。

【図6】この発明の第5の実施の形態を示す回路図である。

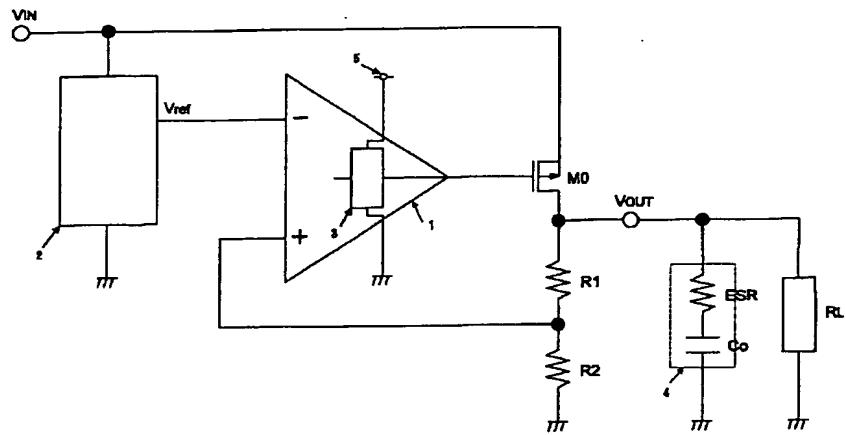
【図7】この発明の第6の実施の形態を示す回路図である。

【図8】提案済回路を示す回路構成図である。

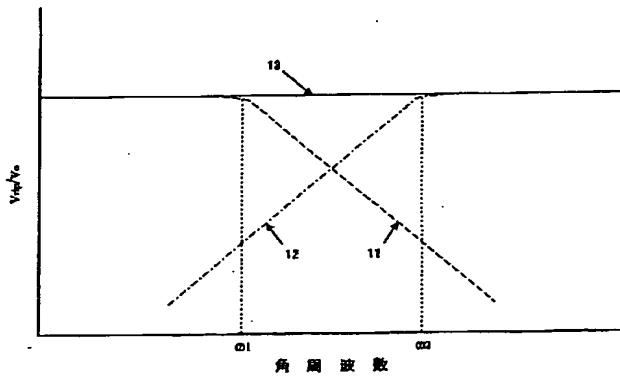
【符号の説明】

1…アンプ回路(演算増幅器)、2…基準電圧回路、3…出力段、4…出力コンデンサ、5…電源端子、6…比較増幅段、7…フィルタ付き定電流源、8…増幅用トランジスタ、9…ローパスフィルタ、10…定電流バイアス回路、11…従来のアンプ回路のリップル出力周波数特性、12…出力段のフィルタ付き定電流源バイアス回路のリップル出力周波数特性、13…この発明に用いたアンプ回路のリップル出力周波数特性。

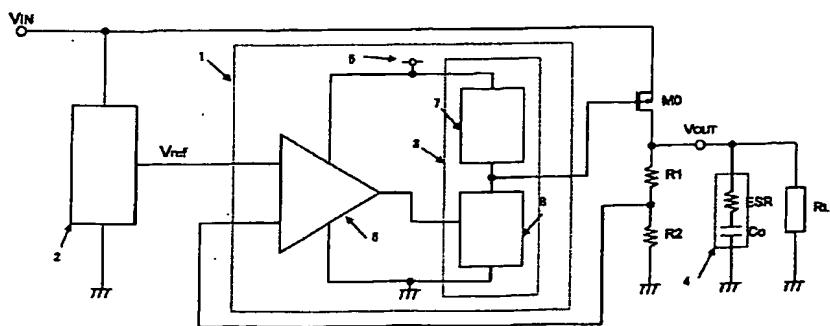
【図1】



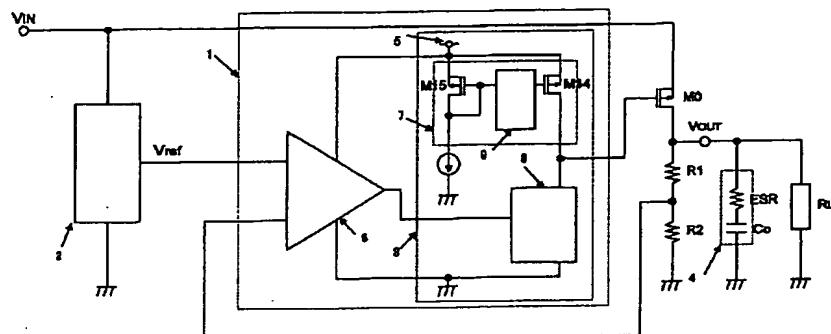
【図2】



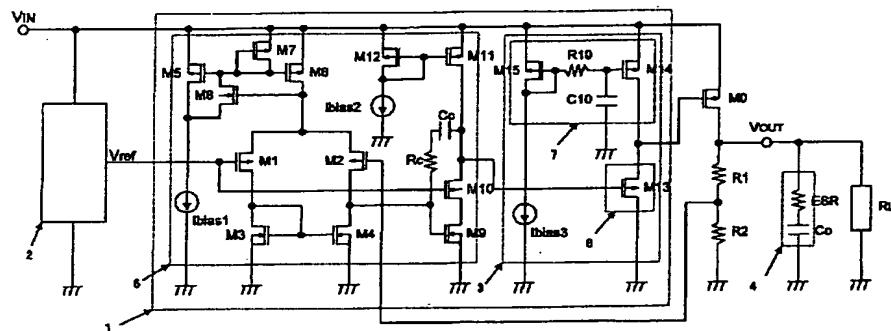
【図3】



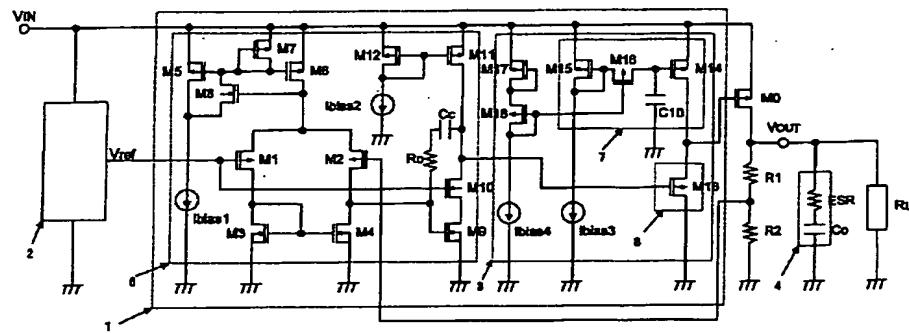
【図4】



【図5】

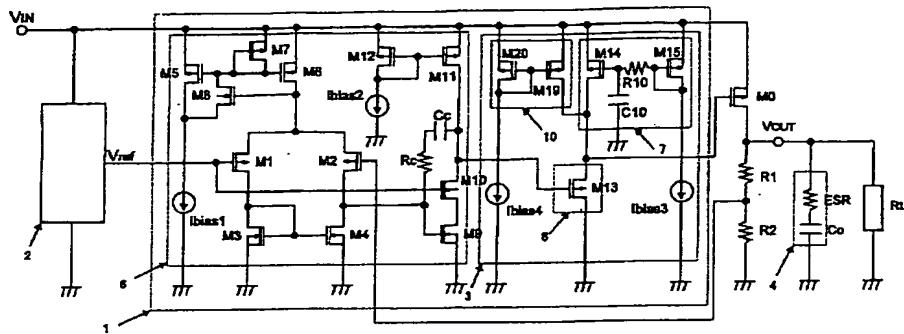


【図6】

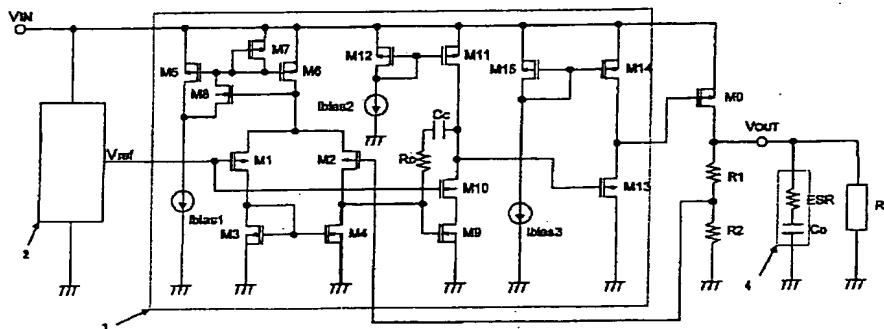


BEST AVAILABLE COPY

[圖 7]



【圖 8】



フロントページの続き

(72)発明者 代市 幸司
千葉県野田市山崎2641 東京理科大学内
(72)発明者 関根 康太郎
千葉県野田市山崎2641 東京理科大学内

Fターム(参考) 5H410 BB04 CC02 DD02 EA11 EB16
EB37 FF03 FF25
5H730 AA00 AS01 BB00 DD04 FD01
FF01